

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204350

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 21/90

(21)Application number : 04-358181

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 26.12.1992

(72)Inventor : HOSHINO KOICHI

MATSUKI HIDEO

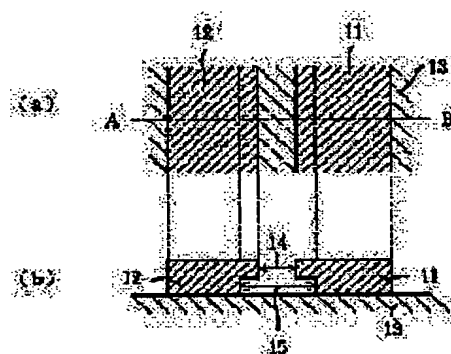
IKEDA HIROTANE

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To lessen the parasitic capacitance between wirings adjacent to each other in a high frequency semiconductor device or the like.

CONSTITUTION: A figure 1 (a) indicates a model plan view of a wiring structure. in the figure 1, wiring electrodes 11 and 12 are formed on a dielectric body 13 of insulating film or semiconductor substrate confronting each other. A figure 1 (b) indicates a structural cross-sectional view of the figure 1 (a) when it is cut along a line A-B. As shown in the figure 1 (b), a space 15 between the confronting parts of the wiring electrodes 11 and 12 where undercuts are provided is set larger than a space 14 between the upper parts of the electrodes 11 and 12, and a structure of this constitution can be formed through an electroplating method wherein a well-known double-layer resist process is used. In this case, an interwiring distance means a distance between the wirings joined to a substrate, so that an interwiring distance 14 can be expanded up to an interwiring distance 15, and consequently a parasitic capacity generated between the wiring electrodes 11 and 12 can be lessened.



LEGAL STATUS

[Date of request for examination] 12.07.1999

[Date of sending the examiner's decision of rejection] 25.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204350

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.⁵

H 0 1 L 21/90

識別記号

庁内整理番号

F I

技術表示箇所

N 7514-4M

V 7514-4M

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-358181

(22)出願日 平成4年(1992)12月26日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 星野 浩一

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 松木 英夫

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 池田 裕胤

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

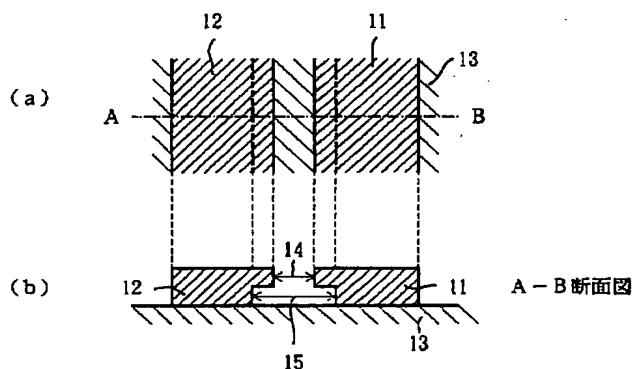
(74)代理人 弁理士 藤谷 修

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】高周波用半導体装置等で接近した配線間の寄生容量を低減すること。

【構成】図1(a)は、本発明による配線構造の模式平面図である。図1(a)において、絶縁膜か半導体基板からなる誘電体13上に、配線電極11、12が対向して形成されている。また図1(b)は、図1(a)のA-Bで切断した場合の構造断面図である。図1(b)で示すように、配線電極11、12の対向する側の配線下部をえぐって接合部分の間隔15を上部の間隔14より大きくした構造を特長とし、このような構造は周知の二層レジスト工程を用いた電解メッキ法などで形成できる。この場合、配線間距離は、配線の基板上の接合した部分の間の距離であるので、配線間距離14を配線間距離15まで広げることができ、配線電極11と配線電極12の間に発生する寄生容量を低減することが可能となる。



【特許請求の範囲】

【請求項 1】 半導体基板上に直接または絶縁膜を介して形成される複数の配線を有する半導体装置において、対向し合う前記配線の向かい合った端面部の上部または下部を互いに削り、削った部分の配線間隔を広げたことを特徴とする半導体装置。

【請求項 2】 半導体基板上に直接または絶縁膜を介して形成される複数の配線を有する半導体装置において、対向し合う前記配線の向かい合った端面部下部で配線間隔が前記配線の端面部上部の配線間隔よりも広げられること、または前記配線の基板接合部に空洞部分を設けることにより、基板との接合部の接触面積が縮小された構造であることを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体装置の配線構造に関し、特に高周波用の半導体集積回路（高周波 IC）の配線構造に関する。

【0002】

【従来の技術】 半導体装置の配線の密度が増し、使用する信号などの周波数が高くなってくると、予期しない回路成分が含まれるようになり、特に寄生容量成分が発生する。これは配線と配線とが並んでいるような場合は、配線と配線との間の直接的容量成分、下地の接触面を介しての成分、第三の導体を介しての成分などが主な寄生容量として含まれてくるからである。高周波 IC の配線間の寄生容量を低減する方法の従来技術として、単純に集積度を犠牲にして配線間隔を充分とる、または配線抵抗を犠牲にして配線幅を狭くして間隔をとるなどの方法の他、エブリッジ配線構造がある（特開昭 63-250155 号公報）。この構造は配線交差部分の配線の一方を空中に浮かせることにより、配線交差部分に発生する寄生容量を低減するものである。

【0003】

【発明が解決しようとする課題】 しかしながら近年、高周波 IC の動作周波数の高周波化はますます進み、交差する配線以外の接近した配線間の寄生容量も性能上問題となっており、FET の各電極間の寄生容量による FET 高周波特性の悪化例が報告されている（電子情報通信学会技術研究報告書、ED89-53、(1989) p23～p29.）。本案は、高周波 IC の配線間の距離接近に伴って接近配線間に発生する寄生容量が増加する点に着目し、配線の抵抗値などはなるべく変化させずに、対向する配線の、配線端部の対向する側を下地の誘電体から浮かせるなどにより有効配線間距離を大きくして、接近した配線間の寄生容量を低減することを目的とするものである。

【0004】

【課題を解決するための手段】 上記の課題を解決するため第一発明の構成は、半導体基板上に直接または絶縁膜

を介して形成される複数の配線を有する半導体装置において、対向し合う配線の向かい合った端面部の上部または下部を削り、削った部分の配線間隔を広げたことを特徴とする。また、第二発明の構成は、半導体基板上に直接または絶縁膜を介して形成される複数の配線を有する半導体装置において、対向し合う前記配線の向かい合った端面部下部で配線間隔が前記配線の端面部上部の配線間隔よりも広げられた構造または前記配線の基板接合部に空洞部分を設けて基板との接合部の接触面積が縮小された構造であることを特徴とする。

【0005】

【作用】 平行平面電極コンデンサは、その容量値がそれを構成する有効電極面積の大きさと電極間に存在する誘電体の誘電率の大きさとに比例し、有効電極間隔に反比例する。本発明では等価的に計算される容量算出式においてその各有効成分を小さくする。即ち具体的に、第一発明では対向し合う面の配線間隔、つまり有効電極間隔を多くしている。第二発明においては、配線の対向し合う面の下部の配線間隔を増やし、また基板が誘電体の役目を果たしているので配線の接触面積をへらすことで有効電極面積を減らすとともに配線（電極）間の誘電体の有効量を減少させている。

【0006】

【発明の効果】 配線間の距離が一部でも実質大きくなれば、コンデンサとしての電極間隔が広がったことになり、寄生容量は距離に反比例して減少する。また、配線の下地との接合面積が減少した場合、それは有効電極面積減少になり、それに比例して寄生容量は減少する。また基板が誘電体の役目を果たしているので、有効電極面積減少に比例して寄生容量にかかわる誘電体の量を減らし寄生容量は減少する。つまり二重の寄生容量対策となる。さらに配線の上部を広げる構造では、電流が配線の下地接合面近傍に多く流れることから、配線の抵抗分増大を抑制しているとともに対向し合う面の有効面積を減らして容量値を減少させている。

【0007】

【実施例】 以下、本発明を具体的な実施例に基づいて説明する。

（第一実施例）図 1 (a) は、本発明による配線構造の模式平面図である。図 1 (a) において、窒化珪素や酸化珪素等の絶縁膜か、または GaAs 等の半導体基板からなる誘電体 13 上に、Au 等の材料からなる配線電極 11、12 が対向して形成されている。また図 1 (b) は、図 1 (a) の配線構造を A-B で切断した場合の構造断面図である。本発明では図 1 (b) で示すように、配線電極 11、12 の対向する側の配線下部をえぐって接合部分の間隔 15 を上部の間隔 14 より大きくした構造を特長としている。このような構造は周知の二層レジスト工程を用いた電解メッキ法などで形成できる。この場合、配線間距離は、配線の基板上の接合した部分の間の距離で

あるので、この構造により配線間距離 1 4 を配線間距離 1 5 まで広げることができ、配線電極 1 1 と配線電極 1 2 の間に発生する寄生容量を低減することが可能となる。従って、配線間隔を広げて占有面積を広くしなければならないことや配線線幅を狭くすることによる配線抵抗の増加を招くことがない。厳密にはこの実施例構造は若干配線抵抗値が増大するが、それに伴う特性の劣化よりも寄生容量低減の効果の方が大きく、またどの程度配線間隔をとるかは、使用する周波数や用途によって変わるので適切に設計する必要がある。

【0008】図2は、本発明の配線構造の分析説明図である。図2は図1(b)の配線構造断面図に相当するもので、100 μ m程度のGaAsやInP等の半導体基板24上に、約300nmの窒化珪素等の絶縁膜23をプラズマCVD等の方法で形成し、さらに絶縁膜23上に数 μ mのAu等の配線21と配線22がレジストを用いた電解メッキ等により形成されている。また高抵抗の半導体基板24の裏面全面にはAu等の裏面電極25が形成されている。図2に示す様に、この構造では3種類の配線間寄生容量が存在するが、これらを本発明の構造で低減することができる。

【0009】図2において、第1の寄生容量は空気を介しての配線間容量で、①+①'に相当する。また第2の寄生容量は、絶縁膜23を介しての配線間容量で②に相当する。そして第3の寄生容量は、絶縁膜23と半導体基板25を介して、配線21もしくは配線22と裏面電極25の間に発生する寄生容量で、③もしくは④に相当する。

【0010】

【数1】 $C = \epsilon \cdot s / d$

一般に、対向する平衡平板電極間の容量Cは、数1式で表わされる。数1式においてsは電極面積、dは電極間距離、 ϵ は電極間に介在する材料の誘電率である。配線に対してもこの数1式をあてはめる事ができ、dに対し有効配線間距離、sに対し有効配線電極面積を用いればよい。簡単には配線間距離などをそのままdに対し用いても差し支えない。図2の寄生容量の全体は、数1式の加算で表されるので、個々について検討すればよい。数1式から分かるように、配線構造により配線間の寄生容量を低減するためには対向する配線面積を小さくするか、配線間距離を大きくすれば良い。よって、本発明の配線構造による第1の寄生容量①+①'の低減は、寄生容量①'の部分について数1式の電極間距離dを大きくすることに相当する。また第2の寄生容量②の低減は、数1式の電極面積sを小さくして電極間距離dを大きくすることに相当する。そして第3の寄生容量③または④の低減は、数1式の電極面積sを小さくすることに相当する。ここで、第1の寄生容量においては、配線間に介在する材料は空気であり、それに対し第2の寄生容量では、配線間に介在する材料は絶縁膜である。そして絶縁

膜が窒化膜である場合、その誘電率は空気の約6倍である。よって本発明による寄生容量低減の効果は、第1の寄生容量よりも第2の寄生容量のほうが大きい。

【0011】(第二実施例) ちなみに図3(a)は、基板33上に平行して走る配線31と配線32の上面図で、図3(b)は図3(a)をA-Bで切った配線断面図である。この図3(a)、図3(b)に示すとおり、第1の寄生容量を低減するためには図2のように電極下部を削りとった構造である必要は無く、電極上部を削った形状でもよい。この構造では配線上部の配線間距離34を配線下部の配線間距離35より広げた構造を特徴としている。特に高周波回路の配線においては、配線内部を流れる電流が主に下地との界面近傍を流れるため、図3(a)と図3(b)の配線上部を削った構造では、第1の寄生容量を低減するために生じる配線抵抗増加を抑制することができる。このような構造は配線上に保護膜(誘電体)を形成する場合などに有効である。

【0012】(第三実施例) また、図4は本発明を二本以上の複数配線に応用した場合の実施例である。図4は基板45上に形成された、配線41~44の模式断面図である。両端の配線41と配線44は既述の実施例と同じ形状であるが、配線42と配線43は配線の両側の配線下部を削った構造である。これにより配線42は、配線41と配線43の両配線との間に発生する寄生容量を低減することができる。また配線43は、配線42と配線44の両配線との間に発生する寄生容量を低減することができる。図4の実施例では配線下部をえぐった構造としたが、空気を介しての第1の寄生容量を低減するためには配線上部を削った構造としても良い。

【0013】(第四実施例) 図5は基板52上に、少々幅の広い配線51を形成した場合の断面図である。第2の寄生容量と第3の寄生容量は、配線の下地との接触面積を小さくすることにより低減できる。よって配線の片側の配線下部を削るよりも、配線の両側または周囲の配線下部を削った方が、より寄生容量を低減できる。

【0014】(第五実施例) また図5の実施例をさらに発展させたのが図6(a)と図6(b)の実施例で、基板62上に幅広い配線61を形成したものである。図6(b)は、図6(a)をA-Bで切断した断面図である。図5の実施例の特徴は、配線両側または周囲の配線下部を削るだけでは無く、配線内部の接合界面に溝63(空洞部分)を設けて配線61と基板62の接触面積を低減するものである。このような構造も周知の二層レジスト工程を用いて形成される。

【0015】(第六実施例) 図7は基板71上にやはり幅広の配線72を設けた場合で、図6で示した配線内部の溝を縦と横方向に設けることにより、配線72と基板71の接触面積をさらに低減する事ができる。

【0016】なお、ここで示した実施例はすべて削りとった断面形状が矩形であったが、当然ながら形状は問題

では無く、例えば角が円くなっているても効果は同様であり（図8(a)）、また、逆三角の形になっていてもよい（図8(b)）。また、削る高さについても使用目的に応じて必要なだけ取ればよく、限定はない。

【0017】

【図面の簡単な説明】

【図1】本発明の第一実施例を模式的に示す構造図およびその断面図。

【図2】本発明の配線構造の分析説明図。

【図3】本発明の第二実施例を模式的に示す構造図およびその断面図。

【図4】本発明の第三実施例を模式的に示す構造断面図。

【図5】本発明の第四実施例を模式的に示す構造断面図。

【図6】本発明の第五実施例を模式的に示す構造図およびその断面図。

【図7】本発明の第六実施例を模式的に示す構造図およびその側面図。

【図8】本発明の別の実施例の断面図。

【符号の説明】

11、12 配線電極

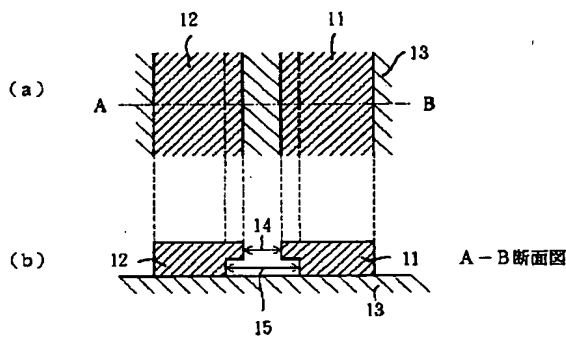
14 上部配線間距離

15 配線間距離

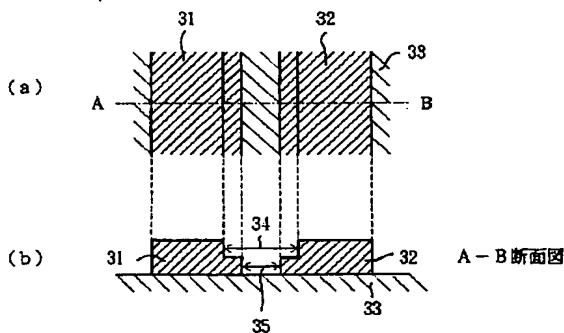
①～④ 寄生容量

63 溝（空洞部分）

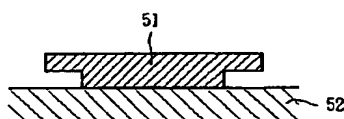
【図1】



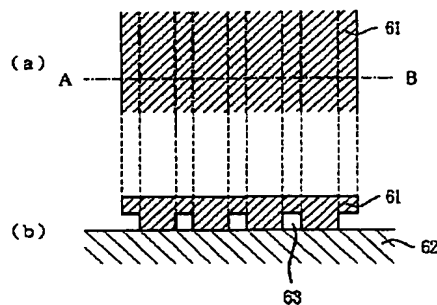
【図3】



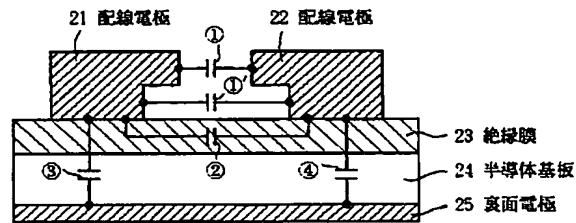
【図5】



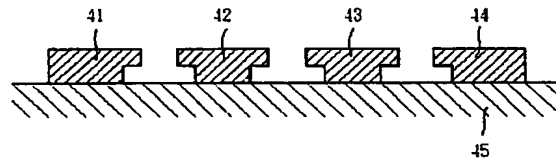
【図6】



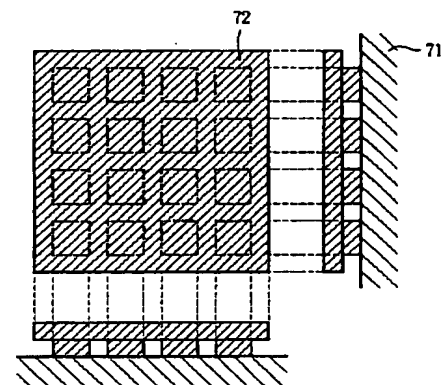
【図2】



【図4】

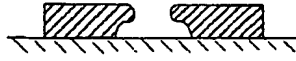


【図7】



【図8】

(a)



(b)

